

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-307836

(43)Date of publication of application : 22.11.1996

---

(51)Int.Cl.

H04N 7/01

H03M 7/30

H04N 7/24

---

(21)Application number : 07-138364

(71)Applicant : SONY CORP

(22)Date of filing : 12.05.1995

(72)Inventor : UCHIDA MASASHI  
KONDO TETSUJIRO  
NAKAYA HIDEO

---

(54) CLASSIFICATION ADAPTIVE PROCESSING UNIT AND ITS METHOD

(57)Abstract:

PURPOSE: To reduce an error of a calculation result even when a word length of coefficient data stored in a coefficient ROM is decreased.

CONSTITUTION: An area division circuit 22 gives an SD picture element whose area is divided to a class classification circuit 23 and a pattern of linear or 2-dimension level distribution is detected. A class code generating circuit 24 generates a class code depending on the pattern, a ROM table 25 reads coefficient data by using the class code as an address. A gain correction circuit 26 executes correction so that all coefficient data are almost 1.0 and its output is fed to an estimate arithmetic circuit 28, in which HD data are generated from the SD picture element fed via a delay circuit 27 and corrected coefficient data.

---

### LEGAL STATUS

[Date of request for examination] 19.04.2002

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application other  
than the examiner's decision of rejection]

|  |            |
|--|------------|
| or application converted registration]                               |            |
| [Date of final disposal for application]                             |            |
| [Patent number]  | 3831955    |
| [Date of registration]   | 28.07.2006 |
| [Number of appeal against examiner's decision of rejection]          |            |
| [Date of requesting appeal against examiner's decision of rejection] |            |
| [Date of extinction of right]  |            |

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] In the image information inverter which changed the digital image signal into the digital image signal with more many pixels An image information division means to divide the image information supplied from the outside into two or more blocks which consist of two or more image data located in near in between space-time, A class detection means to output the class information to which the pattern of level distribution of image information is detected for every above-mentioned block divided by the above-mentioned image information division means, and the image information of the above-mentioned block belongs to it based on the pattern by which detection was carried out [ above-mentioned ], It is presumed-type multiplier data which is the information for changing the image information supplied from the above-mentioned outside into the image information of resolution higher than the image information supplied from the above-mentioned outside. A multiplier data storage means for multiplier data to be memorized for every above-mentioned class, and to output the above-mentioned multiplier data according to the above-mentioned class information from the above-mentioned class detection means, The gain of the filter of the above-mentioned multiplier data supplied from the above-mentioned multiplier data storage means is abbreviation 1.0. A gain amendment means to change so that it may become, The class classification adaptation processor characterized by having an image transformation means to change and output the image information supplied from the above-mentioned outside to the image information of resolution higher than the image information supplied from the above-mentioned outside, according to the above-mentioned multiplier data with which amendment was performed.

[Claim 2] In the image information inverter which changed the digital image signal into the digital image signal with more many pixels An image information division means to divide the image information supplied from the outside into two or more blocks which

consist of two or more image data located in near in between space-time, A class detection means to output the class information to which the pattern of level distribution of image information is detected for every above-mentioned block divided by the above-mentioned image information division means, and the image information of the above-mentioned block belongs to it based on the pattern by which detection was carried out [ above-mentioned ], It is presumed-type multiplier data which is the information for changing the image information supplied from the above-mentioned outside into the image information of resolution higher than the image information supplied from the above-mentioned outside. A multiplier data storage means for the multiplier data which it normalized to be memorized for every above-mentioned class, and to output the above-mentioned multiplier data according to the above-mentioned class information from the above-mentioned class detection means, A multiplier conversion means to change into above-mentioned presumed-type multiplier data the multiplier data by which normalization was carried out [ above-mentioned ], A gain amendment means to change so that the gain of the filter of the above-mentioned multiplier data supplied from the above-mentioned multiplier conversion means may serve as abbreviation 1.0, The class classification adaptation processor characterized by having an image transformation means to change and output the image information supplied from the above-mentioned outside to the image information of resolution higher than the image information supplied from the above-mentioned outside, according to the above-mentioned multiplier data with which amendment was performed.

[Claim 3] In a class classification adaptation processor according to claim 2 the above-mentioned multiplier conversion means It consists of a multiplier data decode means to perform an ADRC decryption to the above-mentioned multiplier data with which ADRC coding was made as normalization. The above-mentioned ADRC coding A means to detect the maximum of two or more multiplier data contained in a block, and the minimum value of two or more above-mentioned multiplier data, A means to detect the dynamic range of the above-mentioned block from the above-mentioned maximum and the minimum value, The class classification adaptation processor characterized by consisting of a means to form the correction input data corrected so that it might have the relative level relation on the basis of the value which specifies the above-mentioned dynamic range, and a means to quantize the above-mentioned correction input data with the number of bits below the original quantifying bit number.

[Claim 4] A filter means to decrease the number of pixels of a digital image signal using a filter to a digital image signal with more many pixels, An image information division means to divide the number of pixels which carried out [ above-mentioned ] reduction into two or more blocks which consist of two or more image data located in near in between space-time, A class detection means to output the class information to which the pattern of level distribution of image information is detected for every above-mentioned block divided by the above-mentioned image information division

means, and the image information of the above-mentioned block belongs to it based on the detected above-mentioned pattern, As opposed to the above-mentioned multiplier data which generated multiplier data from the digital image signal with more pixels than the above, and the digital image signal with which the above-mentioned number of pixels decreased, and were generated It consists of a multiplier data-processing means which carries out ADRC coding, and memory which normalizes the above-mentioned multiplier data and memorizes the multiplier data which it normalized according to the above-mentioned class information. The above-mentioned ADRC coding A means to detect the maximum of two or more multiplier data contained in a block, and the minimum value of two or more above-mentioned multiplier data, A means to detect the dynamic range of the above-mentioned block from the above-mentioned maximum and the minimum value, The class classification adaptation processor characterized by having a means to form the correction input data corrected so that it might have the relative level relation on the basis of the value which specifies the above-mentioned dynamic range, and a means to quantize the above-mentioned correction input data with the number of bits below the original quantifying bit number.

[Claim 5] In the image information conversion approach of having changed the digital image signal into the digital image signal with more many pixels The step which divides the image information supplied from the outside into two or more blocks which consist of two or more image data located in near in between space-time, The step which outputs the class information to which the pattern of level distribution of image information is detected for every divided above-mentioned block, and the image information of the above-mentioned block belongs to it based on the pattern by which detection was carried out [ above-mentioned ], It is presumed-type multiplier data which is the information for changing the image information supplied from the above-mentioned outside into the image information of resolution higher than the image information supplied from the above-mentioned outside. The step which multiplier data are memorized for every above-mentioned class, and outputs the above-mentioned multiplier data according to the above-mentioned class information, The gain of the filter of the supplied above-mentioned multiplier data is abbreviation 1.0. The step changed so that it may become, The class classification adaptation art characterized by having the step which changes and outputs the image information supplied from the above-mentioned outside to the image information of resolution higher than the image information supplied from the above-mentioned outside according to the above-mentioned multiplier data with which amendment was performed.

[Claim 6] In the image information conversion approach of having changed the digital image signal into the digital image signal with more many pixels The step which divides the image information supplied from the outside into two or more blocks which consist of two or more image data located in near in between space-time, The step

which outputs the class information to which the pattern of level distribution of image information is detected for every divided above-mentioned block, and the image information of the above-mentioned block belongs to it based on the pattern by which detection was carried out [ above-mentioned ], It is presumed-type multiplier data which is the information for changing the image information supplied from the above-mentioned outside into the image information of resolution higher than the image information supplied from the above-mentioned outside. The step which the multiplier data which it normalized are memorized for every above-mentioned class, and outputs the above-mentioned multiplier data according to the above-mentioned class information, The step which changes into above-mentioned presumed-type multiplier data the multiplier data by which normalization was carried out [ above-mentioned ], The gain of the filter of the supplied above-mentioned multiplier data is abbreviation 1.0. The step changed so that it may become, The class classification adaptation art characterized by having an image transformation means to change and output the image information supplied from the above-mentioned outside to the image information of resolution higher than the image information supplied from the above-mentioned outside, according to the above-mentioned multiplier data with which amendment was performed.

[Claim 7] The step which amends the supplied above-mentioned multiplier data in a class classification adaptation art according to claim 6 It consists of a step which performs an ADRC decryption to the above-mentioned multiplier data with which ADRC coding was made as normalization. The above-mentioned ADRC coding The step which detects the maximum of two or more multiplier data contained in a block, and the minimum value of two or more above-mentioned multiplier data, The step which detects the dynamic range of the above-mentioned block from the above-mentioned maximum and the minimum value, The step which forms the correction input data corrected so that it might have the relative level relation on the basis of the value which specifies the above-mentioned dynamic range, The class classification adaptation art characterized by consisting of a step which quantizes the above-mentioned correction input data with the number of bits below the original quantifying bit number.

[Claim 8] The step which decreases the number of pixels of a digital image signal using a filter to a digital image signal with more many pixels, The step which divides the number of pixels which carried out [ above-mentioned ] reduction into two or more blocks which consist of two or more image data located in near in between space-time, The step which outputs the class information to which the pattern of level distribution of image information is detected for every divided above-mentioned block, and the image information of the above-mentioned block belongs to it based on the detected above-mentioned pattern, As opposed to the above-mentioned multiplier data which generated multiplier data from the digital image signal with more pixels than the above, and the digital image signal with which the above-mentioned

number of pixels decreased, and were generated. It consists of a step which carries out ADRC coding, and memory which normalizes the above-mentioned multiplier data and memorizes the multiplier data which it normalized according to the above-mentioned class information. The above-mentioned ADRC coding: The step which detects the maximum of two or more multiplier data contained in a block, and the minimum value of two or more above-mentioned multiplier data, The step which detects the dynamic range of the above-mentioned block from the above-mentioned maximum and the minimum value, The step which forms the correction input data corrected so that it might have the relative level relation on the basis of the value which specifies the above-mentioned dynamic range, The class classification adaptation art characterized by having the step which quantizes the above-mentioned correction input data with the number of bits below the original quantifying bit number.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] By blocking the pixel between space-time of the data of an input, carrying out the class classification of it by a certain technique, making a model by linearity linear combination for every class of this, and learning with the least square method, this invention obtains multiplier data and relates to the class classification adaptation processor and approach of processing using that multiplier data.

[0002]

[Description of the Prior Art] Conventionally, it applies for the idea of various applications, such as an image information inverter from SD (Standard Definition) to HD (High Definition), model coding between space-time, an image quality improvement of MUSE, and Y/C separation of a composite signal, as a thing adapting class classification adaptation processing. That is, multiplier data are obtained by blocking the pixel between the space-time of a certain magnitude, carrying out the class classification of this by a certain technique (for example, ADRC (Adaptive Dynamic Range Coding)), standing modeling, i.e., a prediction type, by linearity linear combination for every class of this, and learning using the least square method etc.

[0003] The multiplier data computed by study of an above-mentioned procedure are stored in multipliers ROM and RAM (a multiplier ROM is called hereafter). In order to maintain operation precision, it is required to give the above word length to each multiplier data to some extent. In the usual filtering or adaptation processing, this multiplier data is 1 set or at most several sets. Therefore, even if it takes the long

word length of each multiplier data, the magnitude of the multiplier ROM which stores multiplier data ends so small that it does not become a problem.

[0004] However, processing of high performance is realizable, so that there are generally many classes to divide in class classification adaptation processing.

Therefore, in the application which requires the high engine performance, it is necessary to divide into many classes. Therefore, the capacity of the multiplier ROM which stores multiplier data in that case became big according to the number of classes, and had the case where implementation was difficult in hardware, in the form as it is.

[0005] Two approaches can be considered in capacity reduction of this multiplier ROM. One is reduction of the number of classes and another is reduction of the word lengths of multiplier data. It supposes that others are yielded about the approach of reduction of the number of classes, and only reduction of the word lengths of multiplier data is considered here. The simplest approach of reduction of the word lengths of multiplier data is restricting the word length of each multiplier data short. For example, if the multiplier data stored by the  $n$ -bit word length from the first are made into  $n/2$  bit, magnitude of a multiplier ROM can be set to one half only by it. However, when simple deletion of the word length of multiplier data is performed too much, there is a problem that count precision deteriorates remarkably.

[0006] After using ADRC for the one improving method for this and normalizing a multiplier, there is a method of storing in a multiplier ROM. Since the word length given by using this method can be used effectively, the error of multiplier data itself decreases remarkably. However, the problem from which gross errors may occur to multiplier data, and the gain of presumed operation expression changes even if some word lengths use above-mentioned technique is visually important. Change of this gain is described in detail.

[0007] By blocking the pixel between space-time of the data of an input, carrying out the class classification of it by a certain technique, making a model by linearity linear combination for every class of this, and learning with the least square method, class classification adaptation processing obtains multiplier data, and processes using that multiplier data. Specifically, they are the input image level  $x_1, x_2, \dots, x_n$ . Between the output image level  $y$ , they are the multiplier data  $w_1, \dots, w_n$  for every class. The linearity presumption equation of  $n$  tap to depend is set up, it is solved by building a normal equation, and they are the multiplier data  $w_1, \dots, w_n$ . It determines and conversion between an input image and an output image is performed using it.

[0008]

$$y = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (1)$$

[0009] Although the sum ( $w_1 + w_2 + \dots + w_n$ ) of multiplier data is called the gain of a filter in such a linearity presumption type, generally this gain is set in any class, and it is 1.0. It becomes a very near value.

[0010] However, when each multiplier data has an error by word length limit of

multiplier data etc., the gain of the filter of each class is not necessarily 1.0. A near value is not taken. in the usual case, each error adds -- having -- 1.0 from -- the value which was widely different may be taken

[0011] since [ for example, ] it is easy -- \*\*\*\*\* of brightness change -- the field which is not -- setting -- gain -- 1.0 from -- I think that image transformation was performed using the class from which it separated greatly. if it is original, even if it carries out image transformation, data should hardly change -- although it comes out -- multiplier data -- an error -- having -- further -- gain -- 1.0 from -- since brightness differs from a subject copy by having separated greatly when data change with conversion a lot and the brightness (namely, a chroma, a hue, etc.) of the part changes a lot, degradation of the part will be conspicuous.

[0012] As mentioned above, that the value of the gain of a filter changes a lot might draw big degradation visually.

[0013]

[Problem(s) to be Solved by the Invention] even if this invention is \*\*\*\*\* and reduces capacity in class classification adaptation processing in view of an above-mentioned trouble, it aims at offer of the multiplier ROM to which degradation of a result remains in the minimum.

[0014]

[Means for Solving the Problem] In the image information inverter from which invention according to claim 1 changed the digital image signal into the digital image signal with more many pixels An image information division means to divide the image information supplied from the outside into two or more blocks which consist of two or more image data located in near in between space-time, A class detection means to output the class information to which the pattern of level distribution of image information is detected for every block divided by the image information division means, and the image information of a block belongs to it based on the detected pattern, It is presumed-type multiplier data which is the information for changing the image information supplied from the outside into the image information of resolution higher than the image information supplied from the outside. A multiplier data storage means for multiplier data to be memorized for every class and to output multiplier data according to the class information from a class detection means, The gain of the filter of the multiplier data supplied from the multiplier data storage means is abbreviation 1.0. A gain amendment means to change so that it may become, It is the class classification adaptation processor characterized by having an image transformation means to change and output the image information supplied from the outside to the image information of resolution higher than the image information supplied from the outside, according to the multiplier data with which amendment was performed.

[0015] Furthermore, a filter means by which invention according to claim 4 decreases the number of pixels of a digital image signal using a filter to a digital image signal with



more many pixels, An image information division means to divide the number of pixels which decreased into two or more blocks which consist of two or more image data located in near in between space-time, A class detection means to output the class information to which the pattern of level distribution of image information is detected for every block divided by the image information division means, and the image information of a block belongs to it based on the detected pattern, As opposed to the multiplier data which generated multiplier data from the digital image signal with more many pixels, and the digital image signal with which the number of pixels decreased, and were generated It consists of a multiplier data-processing means which carries out ADRC coding, and memory which normalizes multiplier data and memorizes the multiplier data which it normalized according to class information. ADRC coding A means to detect the maximum of two or more multiplier data contained in a block, and the minimum value of two or more multiplier data, A means to detect the dynamic range of a block from maximum and the minimum value, It is the class classification adaptation processor characterized by having a means to form the correction input data corrected so that it might have the relative level relation on the basis of the value which specifies a dynamic range, and a means to quantize correction input data with the number of bits below the original quantifying bit number.

[0016] Moreover, invention according to claim 5 sets a digital image signal to the image information conversion approach changed into the digital image signal with more many pixels. The step which divides the image information supplied from the outside into two or more blocks which consist of two or more image data located in near in between space-time, The step which outputs the class information to which the pattern of level distribution of image information is detected for every divided block, and the image information of a block belongs to it based on the detected pattern, It is presumed-type multiplier data which is the information for changing the image information supplied from the outside into the image information of resolution higher than the image information supplied from the outside. The step which multiplier data are memorized for every class and outputs multiplier data according to class information. The gain of the filter of the supplied multiplier data is abbreviation 1.0. The step changed so that it may become, It is the class classification adaptation art characterized by having the step which changes and outputs the image information supplied from the outside to the image information of resolution higher than the image information supplied from the outside according to the multiplier data with which amendment was performed.

[0017] And the step to which invention according to claim 8 decreases the number of pixels of a digital image signal using a filter to a digital image signal with more many pixels, The step which divides the number of pixels which decreased into two or more blocks which consist of two or more image data located in near in between space-time, The step which outputs the class information to which the pattern of level distribution of image information is detected for every divided block, and the image

information of a block belongs to it based on the detected pattern. As opposed to the multiplier data which generated multiplier data from the digital image signal with more many pixels, and the digital image signal with which the number of pixels decreased, and were generated It consists of a step which carries out ADRC coding, and memory which normalizes multiplier data and memorizes the multiplier data which it normalized according to class information. ADRC coding The step which detects the maximum of two or more multiplier data contained in a block, and the minimum value of two or more multiplier data, The step which detects the dynamic range of a block from maximum and the minimum value, The step which forms the correction input data corrected so that it might have the relative level relation on the basis of the value which specifies a dynamic range, It is the class classification adaptation art characterized by having the step which quantizes correction input data with the number of bits below the original quantifying bit number.

[0018]

[Function] When performing a presumed operation using the multiplier data which a word length limit is carried out and are recorded in the class classification adaptation processor and the approach, gain amendment is performed, and gain is abbreviation 1.0. By using the multiplier data which changed, the amount of recording information raises the precision of a count result, without increasing.

[0019]

[Example] Hereafter, it explains, referring to a drawing about the example of the class classification adaptation processor of this invention, and an approach. Drawing 1 is a block diagram explaining the creation approach of the multiplier data stored in the ROM table of this one example, i.e., a picture signal inverter.

[0020] In order to obtain multiplier data by study, one fourth of SD images of the number of pixels of HD image corresponding to HD image already known are generated first. It is generated by thinning out, specifically processing the pixel of the perpendicular direction of HD data supplied by the ideal filter circuit through an input terminal 1 with the perpendicular infanticide filter 2, so that the frequency of the perpendicular direction in the field may be set to one half, and thinning out and processing the horizontal pixel of HD data with the water Hirama length filter 3 further, one fourth of HD images, i.e., SD image, of the number of pixels.

[0021] The output signal of the water Hirama length filter 3 is supplied to the field division circuit 4. Supplied SD picture signal is divided into two or more fields in the field division circuit 4. SD picture signal divided into two or more fields is supplied to the ADRC coding network 5.

[0022] By performing an operation which compresses all the data of each field, or some data into 2-bit SD data from 8-bit SD data, the ADRC coding network 5 generates pattern compressed data, and supplies this pattern compressed data to the class code generating circuit 6 while it detects the divided pattern of level distribution [ be / single dimension-/ it / two-dimensional ] of SD data which is supplied for

every field.

[0023] The class code generating circuit 6 determines the class to which the field belongs based on the pattern compressed data supplied from the ADRC coding network 5, and outputs the class code which shows the class. The class code generating circuit 6 outputs a class code to the normal equation adder circuit 8.

[0024] SD data supplied to the normal-equation adder circuit 8 from the field division circuit 4 other than the output data of the class code generating circuit 6 and HD data supplied from the water Hiram length filter 3 are inputted. The normal-equation adder circuit 8 outputs normal-equation data to the prediction coefficient decision circuit 9, after adding a normal equation and completing the input of all training data using these data.

[0025] The prediction coefficient decision circuit 9 sweeps out a normal equation, solves it using general matrix solution methods, such as law, and computes a prediction coefficient. The prediction coefficient computed by the prediction coefficient decision circuit 9 is stored in memory 10 as multiplier data. As this memory 10 is shown in drawing 2, multiplier data are stored for every tap of each class, and a multiplier ROM is generated.

[0026] Then, the multiplier ROM generated by above-mentioned technique is used, and the rough configuration of signal processing of the picture signal inverter using class classification adaptation processing is actually shown in drawing 3. SD data are supplied from the input terminal shown by 21. The video signal of the image information to which this SD data was supplied from the outside, for example, the so-called NTSC system, is digitized. SD data supplied from the input terminal 21 are supplied to the field division circuit 22.

[0027] Processing which extracts SD pixel located in near in time [ the field division circuit 22 / HD pixel to generate ] and spatially is performed. Two or more SD pixels extracted by the field division circuit 22 are supplied to the class classification circuit 23 and a delay circuit 27. Only time amount required for processing of the class classification circuit 23, the class code generating circuit 24, the ROM table 25, and the gain amendment circuit 26 delays data, and a delay circuit 27 outputs it to the presumed arithmetic circuit 28.

[0028] The class classification circuit 23 is for detecting the pattern of-like or two-dimensional 1-dimensional level distribution of SD pixel supplied for every field. For example, by using ADRC in the class classification circuit 23, if an operation which compresses SD pixel of each field into 2-bit SD pixel from 8-bit SD pixel is performed, it will be alike, and more, the pattern compressed data in each field is formed, and this pattern compressed data is supplied to the class code generating circuit 24.

[0029] The class code generating circuit 24 detects the class to which the field belongs based on the pattern compressed data supplied from the class classification circuit 23, and is supplied to the ROM table 25 on which the class code which shows the class constitutes a multiplier ROM. This class code shows the read-out address

from the ROM table 25.

[0030] The multiplier data for computing HD pixel corresponding to SD pixel by the above technique using a linearity presumption type are memorized for every class by the ROM table 25. This is the information for changing SD pixel into HD pixel corresponding to the so-called specification of Hi-Vision which is the image information of resolution higher than this image information by the linearity presumption type. The multiplier data of that class are read from the ROM table 25 by the address shown in class code, and this multiplier data is supplied to the gain amendment circuit 26.

[0031] Since the multiplier data which the word length limit was carried out and were stored are read from a multiplier ROM, the gain of the filter of each class is not necessarily 1.0. A near value is not taken. It is as having mentioned above that this induces degradation of an resolution picture. So, that fault is compensated with this example by performing gain amendment of each class. The rough structure of the ROM table 25 and the gain amendment circuit 26 is shown in drawing 4.

[0032] The presumed arithmetic circuit 28 computes HD pixel corresponding to SD pixel using the multiplier data supplied from SD pixel supplied from the field division circuit 22 through a delay circuit 27, and the gain amendment circuit 26. Created HD pixel is supplied to the level interpolation filter 30.

[0033] The level interpolation filter 29 doubles the horizontal number of pixels by interpolation processing. The output of the level interpolation filter 29 is outputted through an output terminal 30. HD data outputted through this output terminal 30 are supplied to for example, HD television receiver, HD video tape recorder equipment, etc.

[0034] Here, the gain amendment circuit 26 is explained using drawing 5. For example, when presumed operation expression is  $n$  tap, the output signal from the ROM table 25 is supplied to the adder circuit 41 in the gain amendment circuit 26 by the signal from the class code generating circuit 24. An adder circuit 41 is  $w_1, \dots, w_n$  which were supplied.  $n$  multiplier data are added and the aggregate value  $a$  is supplied to the correction factor decision circuit 42.

[0035]

$$a = w_1 + w_2 + \dots + w_n \quad (2)$$

[0036] Originally, the gain of this aggregate value  $a$ , i.e., a filter, is 1.0. The near value should be taken. However, this gain is 1.0 by word length limit of multiplier data. A having mentioned above passage may take the value which was widely different. For the correction factor decision circuit 42, the gain of a filter is abbreviation 1.0. The correction factor  $b$  which becomes is determined.

[0037]

$$b = 1/a \quad (3)$$

[0038] The output signal  $b$  of the correction factor decision circuit 42, i.e., the determined correction factor, is  $431-43n$  of multipliers. It is sent, and is multiplied by

each multiplier there, and they are the multipliers 431-43n. An output value  $z_1$ , and  $z_2, \dots, z_n$  It is the multiplier outputted to the presumed arithmetic circuit 28.

[0039]

$z_1 = bw_1 \ z_2 = bw_2 \ \dots \ z_n = bwn \ (4)$

[0040] Here, in order to reduce the capacity of a multiplier ROM, other examples which combined normalization of multiplier data to above-mentioned gain amendment are shown in drawing 6. Since other examples are the configurations of having added the multiplier coding network 11 to one example shown in drawing 1, they give explanation about the multiplier coding network 11 here. As mentioned above, in the prediction coefficient decision circuit 9, it sweeps out, and using general matrix solution methods, such as law, a prediction coefficient is computed and the prediction coefficient is supplied to the multiplier coding network 11.

[0041] In the multiplier coding network 11, by encoding ADRC, normalization of multiplier data is performed and the prediction coefficient computed by the prediction coefficient decision circuit 9 is stored in memory 10. The multiplier data which harnessed completely the range of the word length which a data area has are generated by performing the normalization of multiplier data using the multiplier coding network 11 which more specifically consists of ADRC encoding as shown in drawing 7.

[0042] Here, an example of the more detailed block diagram of the multiplier coding network 11 and memory 10 is shown in drawing 8. The control signal according to the multiplier data with which the multiplier data supplied are supplied and supplied to the tap dividing network 53 through an input terminal 51 from the prediction coefficient decision circuit 9 is supplied to the tap dividing network 53 from an input terminal 52. In the tap dividing network 53, the multiplier data supplied based on the control signal are divided into each tap. The multiplier data divided into each tap are supplied to the ADRC encoding circuit 54 through the terminal of each tap.

[0043] In the ADRC encoding circuit 54, multiplier data are detected for Maximum MAX, the minimum value MIN, etc. for every tap, ADRC encoding is performed, and memory 10 is supplied. By memory 10, it is stored in a predetermined class and a predetermined, predetermined tap according to the control signal from an input terminal 52.

[0044] Namely, ADRC encoding circuit 540 Maximum MAX and the minimum value MIN of a tap 0 of each class are then detected, and ADRC encoding is performed. Similarly, it is the ADRC encoding circuit 541. Maximum MAX and the minimum value MIN of a tap 0 of each class are then detected, and ADRC encoding is performed. In this ADRC encoding circuit 54, as the encoded multiplier data are shown in drawing 7, it is stored in each class for every tap, and the minimum value MIN and a dynamic range DR are also further stored for every tap.

[0045] With this example, although the minimum value MIN and a dynamic range DR are stored for every tap, Maximum MAX, the minimum value MIN or Maximum MAX,

and a dynamic range DR are sufficient as the data stored for every tap. Furthermore, this stored data is stored by data before being encoded.

[0046] Since, as for such technique, multiplier data have correlation for every tap, efficient quantization is performed. Furthermore, by the tap, since there are what has high concentration of the level of multiplier data, and a low thing, the quota number of bits when quantizing may be changed.

[0047] As mentioned above, according to the conventional technique, the prediction coefficient computed by the prediction coefficient decision circuit 9 was stored in memory 10 as it was. In that case, the word length was restricted by the magnitude of memory and it was stored in the form where low order bit data were reduced simply. Therefore, when the word length is restricted short, the error of multiplier data becomes large and the phenomenon in which count precision deteriorates as a result is caused.

[0048] In other examples, the storing data generation method which harnessed the range of a field storable originally completely is held by performing the normalization of multiplier data using ADRC. Originally, although ADRC is the accommodative re-quantizing method developed for high efficiency coding for VTRs, it is used for the normalization for storing data generation here. An ADRC circuit DR(s) the dynamic range of multiplier data, and normalizes by dividing equally by the bit length which had between the maximum MAX of multiplier data, and the minimum values MIN specified by the following formulas (5), having used [ bit length ] the code which stores the data level of n and each multiplier data in L and the re-quantization code ROM, i.e., a multiplier, for the word length of data who stores as Q, and performing re-quantization. It is theoretically the same although it differs from the usual ADRC somewhat, since the data to treat are not the natural number but the decimal point data with a sign.

[0049]

$$DR = \frac{MAX - MIN}{Q} = \frac{(L - MIN) - 2^n}{DR} \quad (5)$$

However, maximum of Q is set to  $2^n - 1$ .

[0050] Here, detection of the maximum MAX of multiplier data and the minimum value MIN is performed for every tap. It is because the dynamic range DR can be made small in many cases by the multiplier data in the same tap not changing general so a lot, even if, as for this, a class changes, but taking Maximum MAX and the minimum value MIN within the same tap. Moreover, as mentioned above, the minimum value MIN, a dynamic range DR and Maximum MAX, the minimum value MIN or Maximum MAX, and a dynamic range DR are stored by the word length before reducing data lengths. By using this technique, since data word length can be used as effectively as possible, the error of multiplier data can be sharply reduced by word length limit from the case where the word lengths are reduced by technique, such as a simple cut-off point. Therefore, a final error can also be reduced.

[0051] Then, the picture signal inverter which used the multiplier ROM generated in other examples is shown in drawing 9. Since this drawing 9 is the configuration of

having added the multiplier decoder circuit 31 to one example shown in drawing 3 , it gives explanation about the multiplier decoder circuit 31 here. As mentioned above, the multiplier data of that class are read from the ROM table 25 by the address shown in class code, and this multiplier data is supplied to the multiplier decoder circuit 31.

[0052] In the one above-mentioned example, the generated multiplier data were stored in the multiplier ROM as it was. Therefore, from the address shown in a class code, the multiplier data of the class were read, the multiplier data was sent to the presumed arithmetic circuit 28, and the operation was carried out in the presumed arithmetic circuit 28. However, by such technique, since the data for the word length of a multiplier ROM have not used up fully, when the word length of multiplier data is shortened, degradation of count precision tends to take place.

[0053] It is stored in the multiplier ROM of the class classification adaptation processor of other examples in the form where multiplier data were encoded by ADRC as explained previously. So, in this multiplier decoder circuit 31, ADRC of multiplier data is decrypted by the following formulas (6) using the multiplier data Q which were stored in the ROM table 25, for example, minimum-value-MIN(ed), and dynamic-range-DR(ed), and were encoded.

[0054]

$$L = [Q - DR / 2n + MIN + 0.5] \quad (6)$$

[0055] In the multiplier decoder circuit 26, the generated decode value L is supplied to the gain amendment circuit 26. The multiplier data from the ROM table 25 are supplied to the latter presumed arithmetic circuit 28, after gain amendment which was mentioned above is made in the gain amendment circuit 26 through the multiplier decoder circuit 31 which consists of ADRC decoding for every tap, as shown in drawing 10 .

[0056]

[Effect of the Invention] If it depends on this invention, generation of a multiplier ROM will be performed as usual, a gain amendment circuit is used only at the time of use of a multiplier ROM, and it is abbreviation 1.0 about the gain of a filter. By amending, the error of multiplier data by word length limit and precision degradation of the count result by it can be pressed down.

[0057] Moreover, if it depends on this invention, it is possible to mitigate degradation of the further count precision by using together the method and gain amendment of normalizing multiplier data using ADRC and storing a multiplier.

[Brief Description of the Drawings]

[Drawing 1] It is one example at the time of study of the image information inverter concerning this invention.

[Drawing 2] It is the block diagram showing an example of the multiplier ROM generate time concerning this invention.

[Drawing 3] It is one example of the image information inverter concerning this invention.

[Drawing 4] It is the block diagram showing an example at the time of the multiplier ROM use concerning this invention.

[Drawing 5] It is one example of the gain amendment circuit of this invention.

[Drawing 6] They are other examples at the time of study of the image information inverter concerning this invention.

[Drawing 7] It is the block diagram showing an example of the multiplier ROM generate time concerning this invention.

[Drawing 8] It is the block diagram showing one example of multiplier coding concerning this invention.

[Drawing 9] They are other examples of the image information inverter concerning this invention.

[Drawing 10] It is the block diagram showing an example at the time of the multiplier ROM use concerning this invention.

[Description of Notations]

22 Field Division Circuit

23 Class Classification Circuit

24 Class Code Generating Circuit

25 ROM Table

26 Gain Amendment Circuit

28 Presumed Arithmetic Circuit

29 Level Interpolation Filter

---





## 【特許請求の範囲】

【請求項1】 デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換装置において、

外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、

上記画像情報分割手段により分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、係数データが上記クラス毎に記憶されており、上記クラス検出手段からの上記クラス情報に応じて上記係数データを出力する係数データ記憶手段と、

上記係数データ記憶手段から供給された上記係数データのフィルタのゲインが略1.0となるように変換するゲイン補正手段と、

補正の行われた上記係数データに応じて、上記外部から供給された画像情報と、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とするクラス分類適応処理装置。

【請求項2】 デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換装置において、

外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、

上記画像情報分割手段により分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、正規化された係数データが上記クラス毎に記憶されており、上記クラス検出手段からの上記クラス情報に応じて上記係数データを出力する係数データ記憶手段と、

上記正規化された係数データを上記推定式の係数データへ変換する係数変換手段と、

上記係数変換手段から供給された上記係数データのフィルタのゲインが略1.0となるように変換するゲイン補正手段と、

補正の行われた上記係数データに応じて、上記外部から供給された画像情報と、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とするクラス分類適応処

理装置。

【請求項3】 請求項2に記載のクラス分類適応処理装置において、

上記係数変換手段は、正規化としてA D R C符号化がなされた上記係数データに対してA D R C復号化を行う係数データ復号手段とからなり上記A D R C符号化は、ブロック内に含まれる複数の係数データの最大値および上記複数の係数データの最小値を検出する手段と、

上記最大値および最小値から上記ブロックのダイナミックレンジを検出する手段と、

上記ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成する手段と、

上記修正入力データを元の量子化ビット数以下のビット数で量子化する手段とからなることを特徴とするクラス分類適応処理装置。

【請求項4】 より画素数の多いデジタル画像信号に対してフィルタを用いてデジタル画像信号の画素数を減少させるフィルタ手段と、

上記減少した画素数を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、

上記画像情報分割手段により分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、検出された上記パターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、

上記より画素数の多いデジタル画像信号と上記画素数が減少したデジタル画像信号とから係数データを生成し、生成された上記係数データに対して、A D R C符号化する係数データ処理手段と、

上記係数データを正規化し、正規化された係数データを上記クラス情報に応じて記憶するメモリとからなり上記A D R C符号化は、ブロック内に含まれる複数の係数データの最大値および上記複数の係数データの最小値を検出する手段と、

上記最大値および最小値から上記ブロックのダイナミックレンジを検出する手段と、

上記ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成する手段と、

上記修正入力データを元の量子化ビット数以下のビット数で量子化する手段とを有することを特徴とするクラス分類適応処理装置。

【請求項5】 デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換方法において、

外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、

分割された上記ブロック毎に画像情報のレベル分布のバ

ターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するステップと、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、係数データが上記クラス毎に記憶されており、上記クラス情報に応じて上記係数データを出力するステップと、供給された上記係数データのフィルタのゲインが略1.0となるように変換するステップと、

補正の行われた上記係数データに応じて、上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力するステップとを有することを特徴とするクラス分類適応処理方法。

【請求項6】 デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換方法において、外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、

分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するステップと、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、正規化された係数データが上記クラス毎に記憶されており、上記クラス情報に応じて上記係数データを出力するステップと、

上記正規化された係数データを上記推定式の係数データへ変換するステップと、

供給された上記係数データのフィルタのゲインが略1.0となるように変換するステップと、

補正の行われた上記係数データに応じて、上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とするクラス分類適応処理方法。

【請求項7】 請求項6に記載のクラス分類適応処理方法において、

供給された上記係数データを補正するステップは、正規化としてADRC符号化がなされた上記係数データに対してADRC復号化を行うステップとからなり上記ADRC符号化は、ブロック内に含まれる複数の係数データの最大値および上記複数の係数データの最小値を検出するステップと、

上記最大値および最小値から上記ブロックのダイナミックレンジを検出するステップと、

上記ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成するステップと、

上記修正入力データを元の量子化ビット数以下のビット数で量子化するステップとからなることを特徴とするクラス分類適応処理方法。

【請求項8】 より画素数の多いデジタル画像信号に対してフィルタを用いてデジタル画像信号の画素数を減少させるステップと、

上記減少した画素数を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、

分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、検出された上記パターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するステップと、

上記より画素数の多いデジタル画像信号と上記画素数が減少したデジタル画像信号とから係数データを生成し、生成された上記係数データに対して、ADRC符号化するステップと、

上記係数データを正規化し、正規化された係数データを上記クラス情報に応じて記憶するメモリとからなり上記ADRC符号化は、ブロック内に含まれる複数の係数データの最大値および上記複数の係数データの最小値を検出するステップと、

上記最大値および最小値から上記ブロックのダイナミックレンジを検出するステップと、

上記ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成するステップと、

上記修正入力データを元の量子化ビット数以下のビット数で量子化するステップとを有することを特徴とするクラス分類適応処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば入力データの時空間画素をブロック化し、それを何らかの手法によりクラス分類し、このクラス毎に線形一次結合でモデル化し、最小二乗法で学習することにより係数データを得て、その係数データを用いて処理を行うクラス分類適応処理装置および方法に関する。

【0002】

【従来の技術】従来、クラス分類適応処理を応用したものととして、SD (Standard Definition) からHD (High Definition) への画像情報変換装置、時空間モデル符号化、MUSEの画質改善、コンボジット信号のY/C分離など様々なアプリケーションのアイデアが出願されている。すなわち、ある大きさの時空間の画素をブロック化し、これを何らかの手法（例えばADRC (Adaptive Dynamic Range Coding)）によりクラス分類し、

このクラス毎に線形一次結合でモデル化、つまり予測式を立て、最小二乗法などを用いて学習することにより係数データを得るといものである。

【0003】上述の手順の学習によって算出された係数データは、係数ROMあるいはRAM（以下、係数ROMと称する）に蓄えられる。演算精度を保つためには、各係数データにある程度以上の語長を持たすことが必要である。通常のフィルタリングあるいは適応処理の場合、この係数データは1組あるいは高々数組である。そのため、各係数データの語長を長く取っても、係数データを格納する係数ROMの大きさは問題にならないほど小さく済む。

【0004】しかしながら、一般にクラス分類適応処理においては、分割するクラス数が多いほど高性能の処理を実現することができる。そのため、高い性能を要求するアプリケーションにおいては、多くのクラスに分割する必要がある。したがって、その場合、係数データを格納しておく係数ROMの容量は、クラス数に応じて大きなものになり、そのままの形ではハードウェアに実現が困難な場合があった。

【0005】この係数ROMの容量削減には、2つのアプローチが考えられる。ひとつはクラス数の削減、もうひとつは係数データの語長の削減である。クラス数の削減のアプローチについては他に譲ることとし、ここでは係数データの語長の削減についてのみ考える。係数データの語長の削減のもっとも単純な方法は、各係数データの語長を短く制限することである。例えば、元々nビット

$$y = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (1)$$

【0009】このような線形推定式において係数データの和( $w_1 + w_2 + \dots + w_n$ )をフィルタのゲインと呼ぶが、一般にこのゲインはどのクラスにおいても1.0に非常に近い値となる。

【0010】しかしながら、係数データの語長制限などによって各係数データが誤差を持った場合、各クラスのフィルタのゲインは必ずしも1.0に近い値をとらない。通常の場合は、各々の誤差が加算されて1.0からかけ離れた値をとることもある。

【0011】例えば、簡単のため、輝度変化のほとんどない領域において、ゲインが1.0から大きく外れたクラスを用いて画像変換を行ったと見てみる。本来なら画像変換してもほとんどデータは変化しないはずであるが、係数データが誤差を持ち、さらにゲインが1.0から大きく外れていることにより、変換よりデータが大きく変化し、その部分の輝度（すなわちクロマ、色相など）が大きく変わることにより、明るさが原画と異なってくるため、その部分の劣化が目立つことになる。

【0012】以上のように、フィルタのゲインの値が大きくなったことは視覚的に大きな劣化を導くことがあった。

【0013】

トの語長で格納されていた係数データを $n/2$ ビットにすれば、それだけで係数ROMの大きさを $1/2$ にする事ができる。しかしながら、係数データの語長の単純な削除が過度に行われた場合、計算精度が著しく劣化するという問題がある。

【0006】これに対する1つの改善法に、ADRCを用いて係数の正規化を行った後、係数ROMに格納するという方式がある。この方式を用いることにより、与えられた語長を有効利用することが出来るため、係数データの誤差自体は著しく減少する。しかしながら、語長によっては上述の手法を用いても係数データに大きな誤差が発生する場合があります。また推定演算式のゲインが変化する問題は、視覚的にも重要である。このゲインの変化について詳しく述べる。

【0007】クラス分類適応処理は、入力のデータの時空間要素をブロック化し、それを何らかの手法によりクラス分類し、このクラス毎に線形一次結合でモデル化し、最小二乗法で学習することにより係数データを得て、その係数データを用いて処理を行うものである。具体的には、入力画像レベル $x_1, x_2, \dots, x_n$ と出力画像レベル $y$ の間で、クラス毎に係数データ $w_1, \dots, w_n$ によるnタップの線形推定式を設定し、それを正規方程式をたてたことにより解き、係数データ $w_1, \dots, w_n$ を決定し、それを用いて入力画像と出力画像の間の変換を行う。

【0008】

【発明が解決しようとする課題】この発明は、上述の問題点に鑑みてなされたものであり、クラス分類適応処理において、容量を削減しても結果の劣化が最小限にとどまるような係数ROMの提供を目的とする。

【0014】

【課題を解決するための手段】請求項1に記載の発明は、デジタル画像信号を、より要素数の多いデジタル画像信号に変換するようにした画像情報変換装置において、外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、画像情報分割手段により分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データであって、係数データがクラス毎に記憶されており、クラス検出手段からのクラス情報に応じて係数データを出力する係数データ記憶手段と、係数データ記憶手段から供給された係数データのフィルタのゲインが略1.0となるように変換するゲイン補正手段と、補正の行われた係数データに応じて、

外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とするクラス分類適応処理装置である。

【0015】さらに、請求項4に記載の発明は、より画素数の多いデジタル画像信号に対してフィルタを用いてデジタル画像信号の画素数を減少させるフィルタ手段と、減少した画素数を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、画像情報分割手段により分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、より画素数の多いデジタル画像信号と画素数が減少したデジタル画像信号とから係数データを生成し、生成された係数データに対して、ADRC符号化する係数データ処理手段と、係数データを正規化し、正規化された係数データをクラス情報に応じて記憶するメモリとからなりADRC符号化は、ブロック内に含まれる複数の係数データの最大値および複数の係数データの最小値を検出する手段と、最大値および最小値からブロックのダイナミックレンジを検出する手段と、ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成する手段と、修正入力データを元の量子化ビット数以下のビット数で量子化する手段とを有することを特徴とするクラス分類適応処理装置である。

【0016】また、請求項5に記載の発明は、デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換方法において、外部から供給された画像情報を時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割するステップと、分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するステップと、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データとあって、係数データがクラス毎に記憶されており、クラス情報に応じて係数データを出力するステップと、供給された係数データのフィルタのゲインが略1.0となるように変換するステップと、補正の行われた係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換して出力するステップとを有することを特徴とするクラス分類適応処理方法である。

【0017】そして、請求項8に記載の発明は、より画素数の多いデジタル画像信号に対してフィルタを用いてデジタル画像信号の画素数を減少させるステップと、減少した画素数を時空間的に近傍に位置する複数の

画像データからなる複数のブロックに分割するステップと、分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するステップと、より画素数の多いデジタル画像信号と画素数が減少したデジタル画像信号とから係数データを生成し、生成された係数データに対して、ADRC符号化するステップと、係数データを正規化し、正規化された係数データをクラス情報に応じて記憶するメモリとからなりADRC符号化は、ブロック内に含まれる複数の係数データの最大値および複数の係数データの最小値を検出するステップと、最大値および最小値からブロックのダイナミックレンジを検出するステップと、ダイナミックレンジを規定する値を基準とした相対的なレベル関係を持つように修正された修正入力データを形成するステップと、修正入力データを元の量子化ビット数以下のビット数で量子化するステップとを有することを特徴とするクラス分類適応処理方法である。

【0018】

【作用】クラス分類適応処理装置および方法において、語長制限されて記録されている係数データを用いて推定演算を行う場合、ゲイン補正を行い、ゲインが略1.0に変化された係数データを用いることにより、記録情報量は増やせずに計算結果の精度を上げる。

【0019】

【実施例】以下、この発明のクラス分類適応処理装置および方法の実施例について図面を参照しながら説明する。図1は、この一実施例、すなわち画像信号変換装置のROMテーブルに格納される係数データの作成方法について説明したブロック図である。

【0020】係数データを学習により得るためには、まず、既に知られているHD画像に対応した、HD画像の1/4の画素数のSD画像を生成する。具体的には、理想フィルタ回路により、入力端子1を介して供給するHDデータの垂直方向の画素を垂直間引きフィルタ2により、フィールド内の垂直方向の周波数が1/2になるように間引き処理し、さらに水平間引きフィルタ3により、HDデータの水平方向の画素を間引き処理することにより、1/4の画素数のHD画像、すなわちSD画像が生成される。

【0021】水平間引きフィルタ3の出力信号は、領域分割化回路4に供給される。領域分割化回路4では、供給されたSD画像信号が複数の領域に分割される。複数の領域に分割されたSD画像信号は、ADRC符号化回路5に供給される。

【0022】ADRC符号化回路5は、分割された領域毎に供給されるSDデータの二次元的あるいは二次的なレベル分布のパターンを検出すると共に、各領域の全てのデータあるいは一部のデータを、例えば8ビットのSDデータから2ビットのSDデータに圧縮するような

演算を行うことによりパターン圧縮データを生成し、このパターン圧縮データをクラスコード発生回路6に供給する。

【0023】クラスコード発生回路6は、ADRC符号化回路5から供給されるパターン圧縮データに基づいて、その領域が属するクラスを決定し、そのクラスを示すクラスコードを出力するものである。クラスコード発生回路6は、クラスコードを正規方程式加算回路8に出力する。

【0024】正規方程式加算回路8には、クラスコード発生回路6の出力データの他に、領域分割化回路4より供給されたSDデータ、水平間引きフィルタ3より供給されたHDデータが入力される。正規方程式加算回路8は、これらのデータを用いて、正規方程式の加算を行い、全てのトレーニングデータの入力が終了した後、予測係数決定回路9に正規方程式データを出力する。

【0025】予測係数決定回路9は、正規方程式を掃き出し法などの一般的な行列解法を用いてそれを解き、予測係数を算出する。予測係数決定回路9により算出された予測係数は、係数データとしてメモリ10に格納される。このメモリ10は、図2に示すように、各クラスのタップ毎に係数データが格納され、係数ROMが生成される。

【0026】続いて、上述の手法により生成された係数ROMを使用し、実際にクラス分類適応処理を用いた画像信号変換装置の信号処理の概略的構成を図3に示す。21で示す入力端子から、SDデータが供給される。このSDデータは、外部から供給された画像情報、例えばいわゆるNTSC方式の映像信号がデジタル化されたものである。入力端子21から供給されたSDデータは、領域分割化回路22に供給される。

【0027】領域分割化回路22は、生成するHD画像の時間的、空間的に近傍に位置するSD画像を抽出する処理を行う。領域分割化回路22により抽出された複数のSD画像がクラス分類回路23および遅延回路27に供給される。遅延回路27は、クラス分類回路23、クラスコード発生回路24、ROMテーブル25およびゲイン補正回路26の処理に必要な時間だけデータを遅延させて推定演算回路28に出力する。

【0028】クラス分類回路23は、領域毎に供給されるSD画像の1次元あるいは2次元なレベル分布のパターンを検出するためのものである。例えば、ADRCをクラス分類回路23で用いることにより、各領域のSD画像を例えば8ビットのSD画像から2ビットのSD画像に圧縮するような演算を行うことにより、各領域でのパターン圧縮データを形成し、このパターン圧縮データ

$$a = w_1 + w_2 + \dots + w_n$$

【0036】本来、この加算値a、すなわちフィルタのゲインは1.0に近い値を取るはずである。しかしながら、係数データの語長制限によりこのゲインが1.0と

たをクラスコード発生回路24に供給する。

【0029】クラスコード発生回路24は、クラス分類回路23から供給されるパターン圧縮データに基づいて、その領域が属するクラスを検出し、そのクラスを示すクラスコードが係数ROMの構成をなすROMテーブル25へ供給される。このクラスコードは、ROMテーブル25からの読み出しアドレスを示すものとなっている。

【0030】ROMテーブル25には、上述のような手法により、線形推定式を用いてSD画像に対応するHD画像を算出するための係数データが各クラス毎に記憶されている。これは、線形推定式によりSD画像を、この画像情報よりも高い解像度の画像情報である、いわゆるハイビジョンの規格に合致したHD画像に変換するための情報である。ROMテーブル25からは、クラスコードで示されるアドレスによって、そのクラスの係数データが読み出され、この係数データは、ゲイン補正回路26に供給される。

【0031】係数ROMからは語長制限されて格納された係数データが読み出されるため、各クラスのフィルタのゲインは、必ずしも1.0に近い値を取らない。これが変換画像の劣化を生むのは、上述した通りである。そこで、この実施例では、各クラスのゲイン補正を行うことにより、その欠点を補う。そのROMテーブル25とゲイン補正回路26の概略的構成を図4に示す。

【0032】推定演算回路28は、遅延回路27を介して領域分割化回路22から供給されるSD画像およびゲイン補正回路26から供給される係数データを用いて、SD画像に対応するHD画像を算出する。作成されたHD画像は、水平補間フィルタ30に供給される。

【0033】水平補間フィルタ29は、補間処理により水平方向の画像数を2倍にするものである。水平補間フィルタ29の出力は、出力端子30を介して出力される。この出力端子30を介して出力されるHDデータは、例えばHDテレビジョン受像器やHDビデオテープレコーダ装置等に供給される。

【0034】ここで、図5を用いてゲイン補正回路26の説明を行う。例えば、推定演算式がnタップであった場合、クラスコード発生回路24からの信号により、ROMテーブル25からの出力信号は、ゲイン補正回路26の中の加算回路41に供給される。加算回路41は、供給された $w_1$ 、 $\dots$ 、 $w_n$ のn個の係数データの加算を行い、その加算値aを補正係数決定回路42に供給する。

【0035】

(2)

け難れた値を取る場合があるのは上述した通りである。補正係数決定回路42は、フィルタのゲインが略1.0となるような補正係数bを決定する。

【0037】

$$b = 1/a$$

【0038】補正係数決定回路4.2の出力信号、すなわち決定された補正係数bは、乗算器4.3<sub>1</sub>~4.3<sub>n</sub>に送られ、そこで各々の係数に掛け合わせ、その乗算器4

$$z_1 = b w_1$$

$$z_2 = b w_2$$

$$\dots\dots$$

$$z_n = b w_n$$

【0040】ここで、係数ROMの容量を削減するために、上述のゲイン補正に対して係数データの正規化を組み合わせた他の実施例を図6に示す。この他の実施例は、図1に示した一実施例に対して係数符号化回路11を加えた構成であるため、ここでは、係数符号化回路11に関する説明を行う。上述したように、予測係数決定回路9では、掃き出し法などの一般的な行列解法を用いて、予測係数が算出され、その予測係数は、係数符号化回路11に供給される。

【0041】予測係数決定回路9により算出された予測係数は、係数符号化回路11において、例えばADRCの符号化を行うことにより係数データの正規化が行われ、メモリ10に格納される。より具体的に、図7に示すようにADRCエンコードからなる係数符号化回路11を用いて係数データの正規化を行うことによりデータ領域の持つ語長の範囲を完全に活かした係数データが生成される。

【0042】ここで、係数符号化回路11とメモリ10のより詳細なブロック図の一例を図8に示す。予測係数決定回路9から供給される係数データが入力端子51を介してタップ分割回路53へ供給され、供給される係数データに応じたコントロール信号が入力端子52からタップ分割回路53へ供給される。タップ分割回路53では、そのコントロール信号に基づいて供給された係数データが各タップに分割される。各タップに分割された係数データは、それぞれのタップの端子を介してADRCエンコード回路54へ供給される。

【0043】ADRCエンコード回路54において、係数データが各タップ毎に最大値MAXおよび最小値MINなどが検出され、ADRCエンコードが行われメモリ10へ供給される。メモリ10では、入力端子52からのコントロール信号に応じて所定のクラスおよび所定のタップへ格納される。

【0044】すなわち、ADRCエンコード回路540では、各クラスのタップの最大値MAXおよび最小値MINが検出され、ADRCエンコードが行われる。同様に、ADRCエンコード回路541では、各クラスのタップ0の最大値MAXおよび最小値MINが検出され、ADRCエンコードが行われる。このADRCエン

$$DR = MAX - MIN$$

$$Q = [(L - MIN) \cdot 2^n / DR]$$

(3)

3<sub>1</sub>~4<sub>3<sub>n</sub></sub>の出力信号z<sub>1</sub>、z<sub>2</sub>、・・・、z<sub>n</sub>が推定演算回路2.8に出力される係数である。

【0039】

(4)

コード回路5.4において、エンコードされた係数データは、図7に示すように、タップ毎に各クラスに格納され、さらに最小値MINとダイナミックレンジDRもタップ毎に格納される。

【0045】この一例では、最小値MINとダイナミックレンジDRがタップ毎に格納されているが、タップ毎に格納されるデータは、最大値MAXと最小値MINまたは最大値MAXとダイナミックレンジDRでも良い。さらに、この格納されたデータは、エンコードされる前のデータで格納される。

【0046】このような手法は、係数データがタップ毎に相間を持っているため、効率の良い量子化が行われる。さらに、タップによって、係数データのレベルの集合が高いものと、低いものとがあるため、量子化を行うときの割り当てビット数を変えても良い。

【0047】上述したように従来の手法によると、予測係数決定回路9により算出された予測係数は、そのままメモリ10に格納されていた。その場合、メモリの大きさにより語長が制限され、単純に下位ビットデータが削減された形で格納されていた。そのため、語長が短く制限された場合、係数データの誤差が大きくなり、結果的に計算精度が劣化する現象を引き起こす。

【0048】この他の実施例において、ADRCを用いて係数データの正規化を行うことにより本来格納できる領域の範囲を完全に活かした格納データ生成方式を行う。本来、ADRCは、VTR向け高効率符号化用開発された適応的再量子化法であるが、ここでは、格納データ生成のための正規化に使用している。ADRC回路は、係数データのダイナミックレンジをDR、格納するデータの語長をn、各係数データのデータレベルをL、再量子化コードすなわち係数ROMに格納するコードをQとして以下の式(5)により係数データの最大値MAXと最小値MINとの間を指定されたビット長で均等に分割して再量子化を行うことにより、正規化を実施する。扱うデータが自然数ではなく、符号付きの小数点データであるため通常のADRCとは多少異なっているが原理的には同一である。

【0049】

(5)

ただし、Qの最大値は $2^n - 1$ とする。

【0050】ここで、係数データの最大値MAXおよび最小値MINの検出は、各タップ毎に行われる。これは、クラスが変化しても同一タップ内の係数データは、一般的にそれほど大きく変化せず、同一タップ内で最大値MAXおよび最小値MINを取ることによって、そのダイナミックレンジDRを小さくすることができることが多いからである。また、上述したように最小値MINとダイナミックレンジDR、最大値MAXと最小値MINあるいは最大値MAXとダイナミックレンジDRは、データ長を削減する前の語長で格納する。この手法を用いることにより、データ語長を可能な限り有効に使うことが出来るので単純な足切り等の手法により語長を削減した場合より、語長制限により係数データの誤差を大幅に減らすことができる。したがって、最終的な誤差も減らすことができる。

【0051】続いて、他の実施例において生成された係数ROMを使用した画像信号変換装置を図9に示す。この図9は、図3に示した一実施例に対して係数番号回路31を加えた構成であるため、ここでは、係数番号回路31に関する説明を行う。上述したように、ROMテ

$$L = (Q \cdot DR / 2^n + MIN + 0.5)$$

【0055】係数番号回路26において、生成された復号値Lは、ゲイン補正回路26に供給される。ROMテーブル25からの係数データは、図10に示すように、タップ毎にADRCデコードからなる係数番号回路31を介して、ゲイン補正回路26において、上述したようなゲイン補正がなされた後、後段の推定演算回路28へ供給される。

【0056】

【発明の効果】この発明に依れば、係数ROMの生成は、従来と同様に行い、係数ROMの使用時にのみゲイン補正回路を用いて、フィルタのゲインを略1.0に補正することにより、語長制限による係数データの誤差およびそれによる計算結果の精度劣化を押さえることができる。

【0057】また、この発明に依れば、ADRCを用いて係数データの正規化を行い係数を格納するという方式とゲイン補正を併用することで、さらなる計算精度の劣化を軽減することが可能である。

【図面の簡単な説明】

【図1】この発明に係る画像情報変換装置の学習時の一実施例である。

【図2】この発明に係る係数ROM生成時の一例を示すブロック図である。

ブル25からは、クラスコードで示されるアドレスによって、そのクラスの係数データが読み出され、この係数データは、係数番号回路31に供給される。

【0052】上述の一実施例では、係数ROMには、生成された係数データがそのまま格納されていた。そのため、クラスコードに示されるアドレスから、そのクラスの係数データが読み出され、その係数データは推定演算回路28に送られ、推定演算回路28において、演算が実施されていた。しかしながら、このような手法では係数ROMの語長分のデータがフルに使い切れていないため、係数データの語長を短縮したときに計算精度の劣化が起こりやすい。

【0053】他の実施例のクラス分類適応処理装置の係数ROMには先に説明したように係数データがADRCによって符号化された形で格納されている。そこで、この係数番号回路31では、ROMテーブル25に格納されている、例えば最小値MIN、ダイナミックレンジDRおよび符号化された係数データQを用いて、以下の式(6)により係数データのADRCの復号化を行う。

【0054】

(6)

【図3】この発明に係る画像情報変換装置の一実施例である。

【図4】この発明に係る係数ROM使用時の一例を示すブロック図である。

【図5】この発明のゲイン補正回路の一実施例である。

【図6】この発明に係る画像情報変換装置の学習時の他の実施例である。

【図7】この発明に係る係数ROM生成時の一例を示すブロック図である。

【図8】この発明に係る係数符号化の一実施例を示すブロック図である。

【図9】この発明に係る画像情報変換装置の他の実施例である。

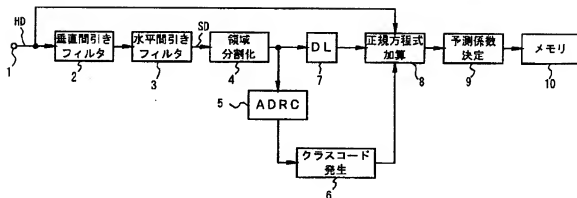
【図10】この発明に係る係数ROM使用時の一例を示すブロック図である。

【符号の説明】

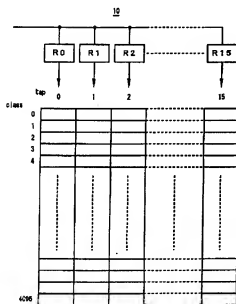
- 22 領域分割化回路
- 23 クラス分類回路
- 24 クラスコード発生回路
- 25 ROMテーブル
- 26 ゲイン補正回路
- 28 推定演算回路
- 29 水平補間フィルタ



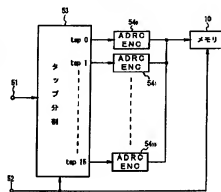
【図 1】



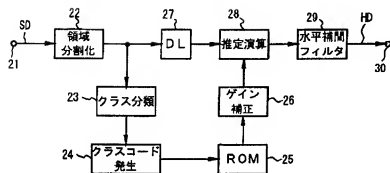
【図 2】



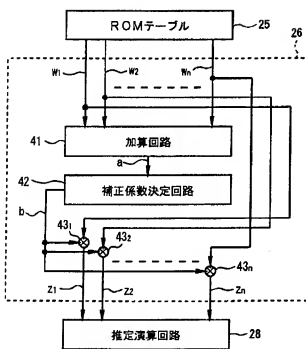
【図 8】



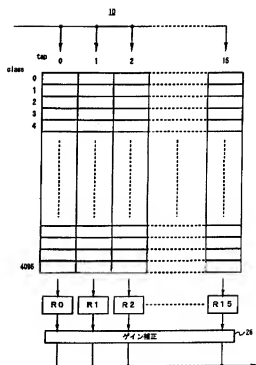
【図 3】



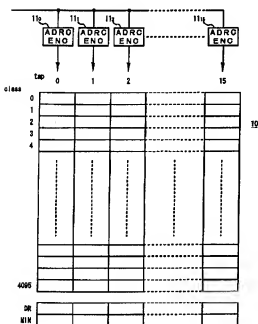
【図 5】



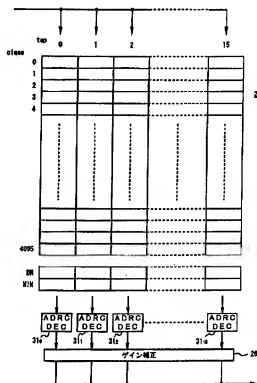
【図 4】



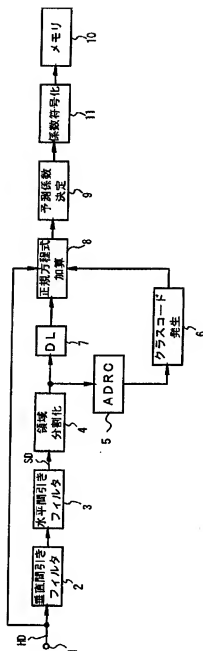
【図 7】



【図 10】



【図6】



【図 9】

